⑲ 日本国特許庁

公開特許公報

⑪特開昭 51-118393

㊸公開日 昭51.(1976)10.18

㉑特願昭 50-43974

㉒出願日 昭50.(1975)4.10

審査請求 未請求 (全4頁)

庁内整理番号

7210 57

6426 57

㊷日本分類	㊶Int.Cl²
99(5)H0 99(5)E3	H01L 23/50 H01L 21/94

特 許 願 (24)

昭和50年4月10日

特許庁長官殿

1 発明の名称

半導体装置

2 発明者

住所 大阪府門真市大字門真1006番地
松下電器産業株式会社内

氏名 和田 孝道

(ほか3名)

3 特許出願人

住所 大阪府門真市大字門真1006番地

名称 (582) 松下電器産業株式会社

代表者 松下正治

4 代理人 〒571

住所 大阪府門真市大字門真1006番地
松下電器産業株式会社内

氏名 (5971) 弁理士 中尾敏男
(ほか1名)

(連絡先 電話(06)901-3111 特許分室)

5 添付書類の目録

(1) 明細書 1通
(2) 図面 1通
(3) 委任状 1通
(4) 願書副本 1通

明細書

1、発明の名称

半導体装置

2、特許請求の範囲

化合あるいは半導体よりなる第1の配線層を酸化して形成した第1の絶縁層と、上記第1の配線層上に付着形成した第2の絶縁層と、上記第2の絶縁層上に、金あるいは半導体よりなる第2の配線層とを備えたことを特徴とする半導体装置。

3、発明の詳細な説明

本発明は多層配線のなされる半導体装置に関し、その配線層間における断線および短絡を防止することを目的とする。

すなわち、本発明は半導体集積回路の多層配線において、たとえば第1層目のポリシリコンと、第2層のアルミとの間の絶縁層としてポリシリコンの熱酸化膜とシランの気相成長による堆積酸化膜を合わせ用いるのによりポリシリコン配線層とアルミ配線層との交差部のアルミの断線を防ぐとともに層間のショート、リークを防止することを目的とする。

まず、第1図により従来の半導体集積回路の製造方法の一例およびその問題点を説明する。第1図(a)において、1は単結晶シリコン基板であり、これを1100℃で熱酸化して熱酸化膜2を得る。次に(b)のようにフォトエッチングにより、たとえばトランジスタになる部分の熱酸化膜を除く。さらに、この除した部分に(c)のように約1200Å程度の熱酸化膜3をつける。これがゲート酸化膜である。次に、この上に全面にポリシリコン層をつけゲート部とその他の第1層の配線層をポリシリコンのフォトエッチングにより形成する図。4がゲート金属としてのポリシリコン層であり、5が他の配線部のポリシリコン層である。次に、ソースおよびドレイン形成用イオンを注入するためにゲート部以外のゲート酸化膜3をポリシリコン層4、5をマスクとしてセルファライメントによりエッチングして除く。その後、(e)に示すようにポリシリコン層4、5上

の酸化膜の段差に沿う方向のエッチングの速度により周縁にくぼみ7，8ができる。ゲート部のゲート酸化膜3は、1200Åとうすいとともにその上がポリシリコン層で覆われているので、大きくエッチングされずくぼみ7はすこしのであるが、ポリシリコン層6の端部下は酸化膜が厚いため大きくえぐられてしまい大きなくぼみ8ができる。このあとレジストを除去し、ソースおよびドレイン領域9，10を作成するとともに[illegible]ポリシリコン層4，6の抵抗をさげる。こうしたのち、(f)に示すごとくシランの熱分解により低温酸化膜11を形成するのであるが、前述したようにポリシリコン層6の両側のくぼみ8は低温酸化膜11の上にも多少は埋められるものの同じようにくぼみ18として再現される。この低温酸化膜11にコンタクト用の穴をあけ、一面にアルミを蒸着してアルミをフォトエッチングしてアルミの配線層12を作る。この時、前記のくぼみ18のためにアルミがサイドエッチングされ、(g)に示すように、たとえば13の部分で断線をおこす。また、第2図に示すようにポリシリコン層6の上の低温酸化膜11上に欠陥14があると、この部分でアルミ配線層12とポリシリコン層6が導通してショートをおこす。

以上のような上記方法によればポリシリコン層6と交差する部分では第2番目の配線層であるアルミ配線層12が断線することもにアルミの断線をしばしばおこす。さらに、酸化膜に層11にピンホール等の欠陥がある場合、アルミ配線層12とポリシリコン層6がショートする。酸化膜11の欠陥率がアルミ，ポリシリコンの交差部にあたる確率は集積回路の集積度が上がるにつれ、飛躍的に増大し、集積回路の歩留りを著しく低下せしめる。

そこで、本発明は上記ポリシリコン上に低温酸化膜をつける前にポリシリコン上にたとえば熱酸化膜をつけ、ポリシリコンの両側のくぼみを埋没させ、たとえばアルミ，ポリシリコンの交差部の断線を低下させると共に、低温酸化膜の欠陥を熱酸化膜でおぎない、アルミ，ポリシリコン配線層間のリークやショートを著しく低下させるものである。

以下、本発明の一実施例の構造を図面とともに説明する。本発明の装置の作成においては第1図(e)の工程までは従来と同じであるので説明を省略する。第1図(e)の後、第3図(a)に示すように1100℃で16分間酸化を行ない、ポリシリコン上に、約3000Åの熱酸化膜20を形成する。このとき(a)に示すようにポリシリコン層6の表面は酸化され酸化膜20が成長してくるけれども、まわりの酸化膜2上には成長しない。そこで、ポリシリコン層6表面に成長した酸化膜20はポリシリコン層の両側にできた前記くぼみ18をおおうようにかぶさる。こうしたのち、さらにこの酸化膜20の上からシランの熱分解による低温の酸化膜30をつけると、第3図(b)に示すように、くぼみはほとんどなくなる。こうした上にアルミを蒸着し、フォトエッチングにより配線40を形成しても第3図(c)に示すようにサイドエッチがなく断線をおこすこともない。

また、第4図に示すようにポリシリコンの熱酸化膜20に同図に示すような欠陥21があったとしてもその上の低温の酸化膜30でカバーされ、アルミ配線層40とショートすることはない。又、低温の酸化膜30にある欠陥31はポリシリコンの熱酸化膜20でカバーされる。したがって両酸化膜の欠陥21，31が重なった時のみ、ショートやリークの不良を起こすが、これはポリシリコンの熱酸化膜20あるいはシランの熱分解による低温の酸化膜30の欠陥の割合にくらべて非常に小さな確率である。

上記実施例においては、第1の配線層としてポリシリコンを用いたが、これはポリシリコンに限ることなく、他の半導体たとえばゲルマニウム等あるいは金属たとえばアルミ，タンタル，タングステン等でも同様である。この場合、第1の配線層を酸化する方法としては熱酸化に限ることなくプラズマ陽極酸化法や電解液陽極酸化法を用いる事でもよい。第1の配線層の酸化膜上に形成する絶縁膜はシラン，およびその他のシリコン化合物

の熱分解によるシリコン酸化膜ばかりでなく、スパッタリング等の方法により気相生成された窒化シリコンおよびアルミ、タンタル、タングステン等の金属の酸化物の気相生成された酸化膜であればよい。また、第2の配線層はアルミばかりでなく、タングステン等の金属、ポリシリコン等の半導体でもよい。

上述のように本発明の半導体装置によれば、第1層目の配線層と第2の配線層の交差点で、第2層目の金属であるアルミの断線を防ぐことができるとともに、第1層の配線と、第2層の配線間のリークやショートを著しく低減する事が出来、半導体集積回路の歩留りを大きく向上するものである。

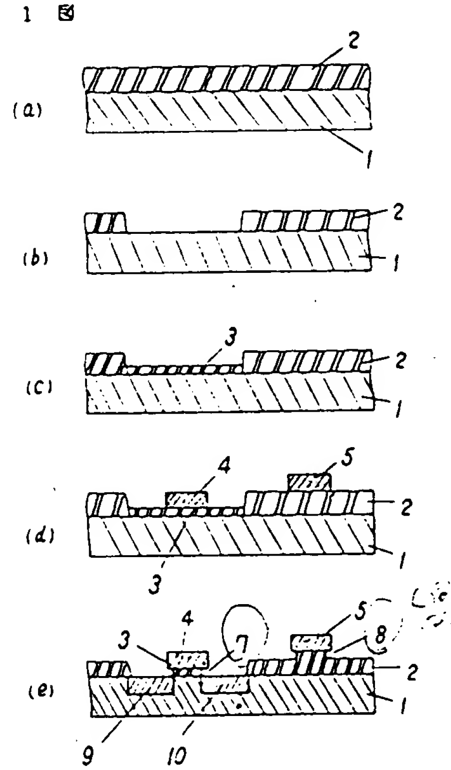
4、図面の簡単な説明

第1図(a)～(g)は従来の多層配線構造の半導体集積回路の製造方法の工程断面図、第2図は第1図(g)の要部の拡大断面図であって、熱酸化膜の欠陥によるポリシリコン配線層とアルミ配線層のショートの例を示す。第3図(a)～(o)は本発明の一実施例の半導体集積回路の製造方法の要部工程断面図、第4図は第3図の製造方法によりポリシリコン配線層とアルミ配線層のショートが防止された例を示す要部断面図である。

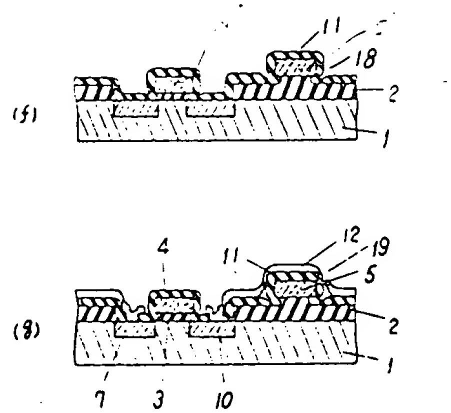
1……p型シリコン基板、2……熱酸化膜、3……ゲート酸化膜、4、5……ポリシリコン層、18……くぼみ、20……熱酸化膜、30……シランの熱分解による堆積酸化膜、40……配線。

代理人の氏名 弁理士 中尾敏男 ほか1名

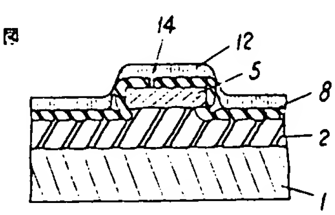
第1図



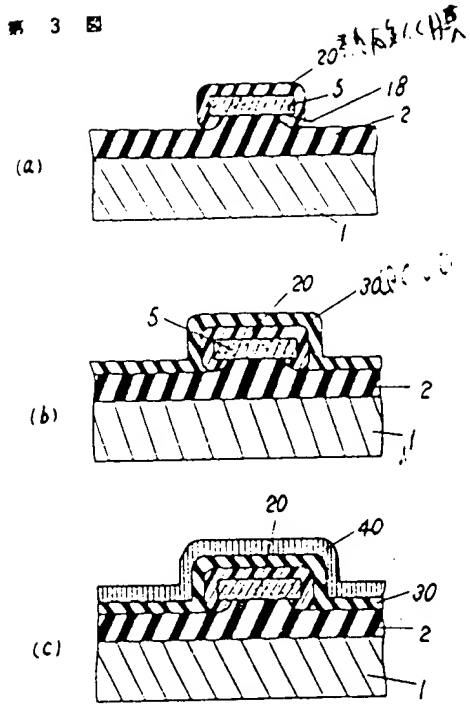
第1図



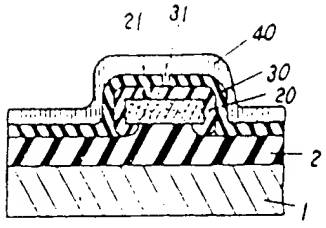
第2図



第 3 図



第 4 図



6 前記以外の発明者および代理人

（1）発明者

住所　大阪府門真市大字門真1006番地
松下電器産業株式会社内

氏名　クロ 黒　ダ 田　ヒロシ 啓

住所　同所

氏名　ホリ 堀　ウチ 内　シ 司　ロウ 朗

住所　同所

氏名　キ 木　ムラ 村　タケ 武　シ 司

（2）代理人

住所　大阪府門真市大字門真1006番地
松下電器産業株式会社内

氏名　(6152) 弁理士 栗野 重孝

Translation of
Pat. Laid-open Pub. No. 91-118393

1. Title of the Invention

SEMICONDUCTOR DEVICE

2. Scope of the Patent Claim

A semiconductor device, characterized by comprising: a first layer of insulating material formed by oxidizing a first interconnection layer comprised of a metal or semiconductor; a second layer of insulating material deposited on said first layer of insulating material; and a second interconnection layer comprised of a metal or semiconductor on said second layer of insulating material.

3. Detailed Description of the Invention

The present invention relates to a semiconductor device in which a multi-layer interconnection is provided and has an object to prevent disconnection, electrical short or the like in a multi-layer interconnection structure.

That is, the present invention has an object of preventing disconnection of aluminum at an interaction between a polysilicon interconnection layer and an aluminum interconnection layer and also preventing an electrical short and leakage between these two layers, for example, by using a thermal oxide film of polysilicon and also a low temperature oxide film produced by thermal decomposition of silane as an

insulating layer between a first layer of polysilicon and a second layer of aluminum in a multilayer interconnection of a semiconductor integrated circuit.

In the first place, with reference to Fig. 1, an example of a conventional method for manufacturing a semiconductor integrated circuit will be described and the problems which necessitated the present invention will be described. Referring to Fig. 1(a), 1 is an N type silicon substrate and it is thermally oxidized at 1,100 °C to form a thermal oxide film 2. Then, as shown in (b), for example, that portion of the thermal oxide film which will become a transistor is removed by photoetching. Furthermore, as shown in (c), a thermal oxide film 3 on the order of approximately 1,200 Å is provided in that removed portion. This is a gate oxide film. Then, a polysilicon layer is provided across the entire surface and a gate portion and another first layer of interconnection are formed by photoetching of the polysilicon (d). 4 is a polysilicon layer as a gate metal and 5 is a polysilicon layer of another interconnection. Then, in order to diffuse boron for forming a source and a drain, that portion of the gate oxide film 3 other than the gate portion is removed by etching in a selfalignment manner using polysilicon layers 4 and 5 as a mask. In this case, as shown in (e), recesses 7 and 8 are formed on both sides of polysilicon layers 4 and 5 due to the progress of lateral etching at the sides of the oxide films immediately below the polysilic n layers 4 and 5. Since the gate oxide film 3 of

the gate portion is thin and on the order of 1,200 Å and silicon substrate 1 is present immediately therebelow, etching is not carried out effectively so that the recesses 7 are smaller; whereas, since the oxide film is thick immediately below the sides of polysilicon layer 5, it is removed significantly so that larger recesses 8 are formed. Boron is then diffused to form source and drain regions 9 and 10 and to lower the resistivity of polysilicon layers 4 and 5. Thereafter, as shown in (f), a low temperature oxide film 11 is formed by thermal decomposition of silane. In this case, however, as described previously, the recesses 8 on both sides of polysilicon layer 5 are similarly reproduced as recesses 18 on the low temperature oxide film 11, though the recesses are somewhat reduced in size. Then, contact windows are opened in this low temperature oxide film 11 and aluminum is vapor-deposited across the surface, which aluminum is then subjected to photoetching to thereby form an interconnection layer 12 of aluminum. In this instance, because of the recesses 18 on both sides, the aluminum is subjected to side etching, so that, for example, a disconnection 13 (sic, should be 19) occurs as shown in (g). In addition, if a defect 14 is present in the low temperature oxide film 11 on the polysilicon layer 5 as shown in Fig. 2, the aluminum interconnection layer 12 becomes connected to the polysilicon layer 5 at this location to thereby produce an electrical short.

As described above, in accordance with the above-

described method, at a portion of intersection with the polysilicon layer 5, the second interconnection layer of aluminum interconnection layer 12 is disconnected and disconnection of aluminum occurs frequently. Furthermore, in the case where there is a defect such as a pin hole in the oxide film 11, an electrical short occurs between the aluminum interconnection layer 12 and the polysilicon layer 6. The probability of a defect of the oxide film 11 being located at an intersection between aluminum and polysilicon increases significantly as the density of an integrated circuit increases, thereby lowering the yield of integrated circuits significantly.

Under the circumstances, in accordance with the present invention, prior to the formation of a low temperature oxide film on the above-mentioned polysilicon, for example, a thermal oxide film is provided on the polysilicon to reduce the recesses on both sides of the polysilicon, thereby reducing a disconnection at an intersection between the aluminum and the polysilicon and to fill the defects of the low temperature oxide film with a thermal oxide film, thereby significantly lowering the occurrence of an electrical short or leakage between the aluminum and the polysilicon.

Hereinafter, a device as an embodiment of the present invention will be described with reference to the drawings. In manufacturing a device of the present invention, since there is no difference from the prior art up to step shown in Fig. 1(e), its explanation is omitted. After Fig. 1(e),

oxidation is carried out at 1,100 °C for 15 minutes as shown in Fig. 3(a) to thereby form a thermal oxide film 20 of approximately 3,000 Å on the polysilicon. In this instance, as shown in (a), the surface of polysilicon layer 5 is oxidized so that an oxide film 20 grows, but no such growth takes place on the surrounding oxide film 2. The oxide film 20 which has grown on the surface of polysilicon layer 5 covers the recesses 18 formed on both sides of the polysilicon layer. Thereafter, when a low temperature oxide film 30 due to thermal decomposition of silane is formed on the oxide film 20, the recesses disappears almost completely as shown in Fig. 3(b). Under the circumstances, even if aluminum is vapor-deposited and an interconnection 40 is formed by photoetching, there occurs no side etching and no disconnection occurs as shown in Fig. 3(c).

Moreover, as shown in Fig. 4, even if a defect 21 were present in the thermal oxide film 20 of polysilicon, it is covered by the overlying low temperature oxide film 30 so that no electrical short with the aluminum interconnection layer 40 would result. In addition, a defect 31 present in the low temperature oxide film 30 is covered by the thermal oxide film 20 of polysilicon. Thus, only when the defects 21 and 31 of these two oxide films are aligned, a malfunctioning such as an electrical short or leakage takes place; however, its probability is extremely low as compared with the case with a single layer of thermal oxide film 20 of polysilicon or of low temperature oxide film 30 due to thermal decomposition of

silane.

In the above-described embodiment, use has been made of polysilicon as the first interconnection layer. However, it is not limited to polysilicon and use may be made of any other semiconductor, such as germanium, or a metal, such as aluminum, tantalum, or tungsten. In this case, as a method for oxidizing the first interconnection layer, it is not limited to thermal oxidation and use may be made of a plasma anode oxidation method or an electrolyte anode oxidation method. The insulating layer formed on the oxide film of the first interconnection layer is not limited to silicon oxide produced by thermal decomposition of silane or any other silicon compounds, and use may be made of silicon oxide deposited by such a method as sputtering and an oxide layer produced by depositing an oxide of a metal, such as aluminum, tantalum and tungsten. Besides, the second interconnection layer is not limited to aluminum, and use may be made of a metal, such as tungsten, or a semiconductor, such as polysilicon.

As described above, in accordance with a semiconductor device of the present invention, a disconnection of aluminum, which is a metal for the second layer, can be prevented at an intersection between a first layer of interconnection and the second interconnection layer, and, at the same time, leakage and shorts between the first layer of interconnection and the second layer of interconnection can be significantly reduced, so that the yield of semiconductor integrated circuits can be

enhanced significantly.

4. Brief Description of the Drawings

Figs. 1(a)-(g) are cross sectional views during a conventional process for manufacturing a semiconductor integrated circuit having a multilayer interconnection structure;

Fig. 2 is an enlarged cross sectional view of the main portion in Fig. 1(g), illustrating an example of an electrical short between a polysilicon interconnection layer and an aluminum interconnection layer due to a defect in a low temperature oxide film;

Figs. 3(a)-(c) are cross sectional views during a main process of a method for manufacturing a semiconductor integrated circuit according to one embodiment of the present invention; and

Fig. 4 is a cross sectional view showing an example in which a short is prevented between the polysilicon interconnection layer and the aluminum interconnection layer thanks to the manufacturing method of Fig. 3.

1: N type silicon substrate
2: Thermal oxide film
3: Gate oxide film
4, 5: Polysilicon layer
18: Recesses
20: Thermal oxide film

30: Low temperature oxide film due to th rmal decomposition of silane

40: Interconnection